

## Plano Analítico: Arquitetura de Computadores II

### 1. Identificação da Unidade Curricular

- **Instituição:** Instituto Superior Politécnico de Ciências e Tecnologia (INSUTEC)
- **Curso:** Engenharia de Informática e Sistemas de Informação (EISI)
- **Classificação:** Disciplina Específica (Nuclear)
- **Ano:** 3º | **Semestre:** 2º (6º Semestre)
- **Créditos:** 6.0 UC
- **Carga Horária Total:** 90 Horas (60h de Contacto | 30h de Trabalho Complementar)

### 2. Apresentação e Justificação

Arquitetura de Computadores II aprofunda o estudo do processador, focando em técnicas avançadas como *Pipelining* e paralelismo ao nível da instrução (ILP). Justifica-se pela necessidade de compreender como as modernas arquiteturas exploram o hardware para maximizar o desempenho sem aumentar excessivamente o consumo energético. Esta UC é vital para o desenvolvimento de software de alta performance e para a infraestrutura de computação em nuvem, alinhando-se ao rigor do **Decreto Presidencial 193/18**.

### 3. Competências a Desenvolver (Decreto 193/18)

#### 3.1 Competências Instrumentais (Saber)

- Compreender o funcionamento e os riscos (*hazards*) de uma unidade de processamento em *pipeline*.
- Conhecer as arquiteturas de multiprocessadores e a Taxonomia de Flynn.
- Entender as tecnologias avançadas de memória e barramentos de alta velocidade.

#### 3.2 Competências Técnicas e Operacionais (Saber Fazer)

- **Otimização de Código:** Identificar e mitigar dependências de dados e controlo em código de baixo nível.
- **Simulação Avançada:** Utilizar simuladores de arquiteturas multicore para medir desempenho e largura de banda.
- **Análise de Coerência:** Implementar e analisar protocolos de coerência de cache em sistemas multiprocessados.

#### 3.3 Competências Atitudinais (Saber Ser/Estar)

- Demonstrar rigor analítico na escolha de arquiteturas para projetos de missão crítica.
- Avaliar o impacto ético e ambiental (consumo elétrico) da escalabilidade de hardware.

### 4. Conteúdo Temático (Estrutura de 90 Horas)

1. **Pipelining de Instruções:** Conceito, estágios, riscos de dados, controlo e estruturais; técnicas de previsão de desvios (*Branch Prediction*).
2. **Exploração de ILP (Paralelismo ao Nível da Instrução):** Escalonamento dinâmico, Algoritmo de Tomasulo e execução especulativa.
3. **Arquiteturas Superescalares e VLIW:** Princípios de design e comparação de eficiência.
4. **Hierarquia de Memória Avançada:** Cache de múltiplos níveis, caches não bloqueantes e protocolos de coerência (MESI/MSI).
5. **Sistemas Multiprocessadores:** Multiprocessamento simétrico (SMP), arquiteturas NUMA e Redes de Interligação.
6. **Computação de GPU e Vetorial:** Introdução ao processamento massivamente paralelo.

#### 5. Regime de Avaliação (Disciplina Específica)

- **Avaliação Contínua (40%):**
  - 1ª Frequência (Pipeline e Riscos): 13%
  - 2ª Frequência (Memória Avançada e Multiprocessadores): 14%
  - **Projecto de Simulação:** Análise de performance de um sistema multicore: 13%
- **Exame Normal (60%):** Prova global teórica e prática.

#### 6. Referências Bibliográficas (APA 7ª Ed.)

- Hennessy, J. L., & Patterson, D. A. (2017). *Computer architecture: A quantitative approach* (6th ed.). Morgan Kaufmann.
- Patterson, D. A., & Hennessy, J. L. (2020). *Computer organization and design: The hardware/software interface* (5th ed.). LTC.
- Stallings, W. (2017). *Computer organization and architecture* (10th ed.). Pearson.
- Tanenbaum, A. S., & Austin, T. (2013). *Structured computer organization* (6th ed.). Pearson.